

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-338926

(43)Date of publication of application : 07.12.2001

(51)Int.Cl.

H01L 21/3205

H01L 21/304

H01L 21/306

(21)Application number : 2000-157542

(71)Applicant : SONY CORP

(22)Date of filing : 29.05.2000

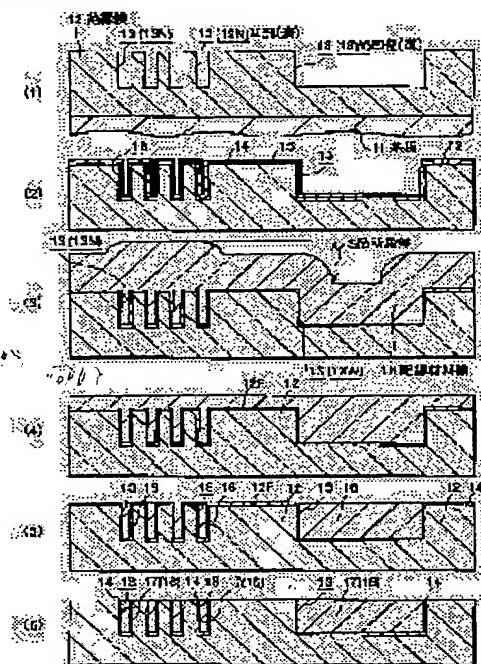
(72)Inventor : KOMAI HISANORI
NOGAMI TAKESHI
KITO HIDEYOSHI
TAGUCHI MITSURU
ANDO KATSUMI

(54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize electrolytic polishing in the state where excessive polishing and unpolished remainder do not occur due to the local step produced in a material to be polished, and to introduce the electrolytic polishing into a semiconductor manufacturing process.

SOLUTION: This method comprises a step of forming a wiring material film 16 that buries a recessed part 13 formed in an insulating film 12 on the insulating film 12 formed on the substrate 11 by a plating method, a step of relaxing the local step S produced on a surface of the wiring material film 16 while keeping the state that the wiring material film 16 is left on the insulating film 12, and a step of removing the wiring material film 16 on the insulating film 12 by the electrolytic polishing so as to leave the wiring material film 16 only in a groove 13.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

This Page Blank (uspto)

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特許庁 登録 第 4133389 号 平成 17 年 9 月 29 日

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-338926

(P2001-338926A)

(43) 公開日 平成13年12月7日 (2001.12.7)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト ⁷ (参考)
H 0 1 L 21/3205		H 0 1 L 21/304	6 2 2 X 5 F 0 3 3
21/304	6 2 2	21/88	K 5 F 0 4 3
21/306		21/306	M

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願2000-157542(P2000-157542)

(22) 出願日 平成12年5月29日 (2000.5.29)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 駒井 尚紀

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72) 発明者 野上 毅

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

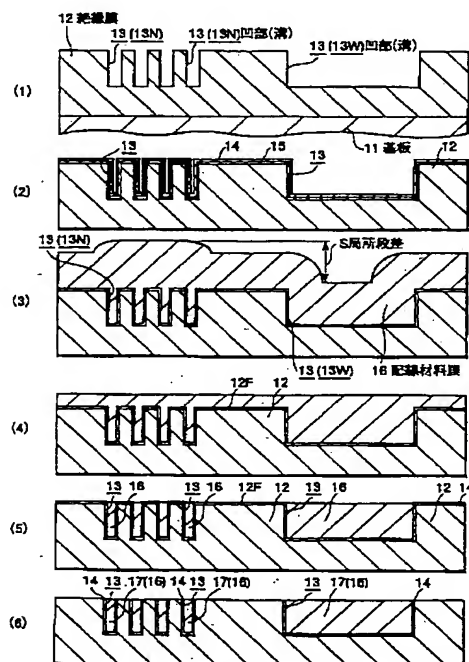
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 被研磨材料に生じている局所段差に起因する過剰研磨や研磨残りを生じることのない状態にして電解研磨を行うことを実現し、半導体製造プロセスに電解研磨を導入することを可能にする。

【解決手段】 めっき法によって、基板11上に形成した絶縁膜12上に、絶縁膜12に形成した凹部13を埋め込む配線材料膜16を形成する工程と、絶縁膜12上に配線材料膜16を残した状態を保って配線材料膜16表面に生じている局所段差Sを緩和する工程と、電解研磨によって、溝13内のみに配線材料膜16を残すように絶縁膜12上の配線材料膜16を除去する工程とを備えている。



【特許請求の範囲】

【請求項1】 めっき法によって、基板上に形成した絶縁膜上に、前記絶縁膜に形成した凹部を埋め込む配線材料膜を形成する工程と、

前記絶縁膜上に前記配線材料膜を残した状態を保って前記配線材料膜表面に生じている局所段差を緩和する工程と、

電解研磨によって、前記凹部内のみに前記配線材料膜を残すように前記絶縁膜上の前記配線材料膜を除去する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項2】 前記凹部は、

配線溝、配線溝および該配線溝底部に形成された接続孔、もしくは接続孔からなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記配線材料膜に生じた局所段差を緩和する工程は、

化学的機械研磨、機械研磨もしくは化学研磨により行うことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 めっき法によって、基板上に形成した絶縁膜上に、前記絶縁膜に形成した凹部を埋め込む配線材料膜を、前記凹部の深さの2倍以上となる膜厚に形成する工程と、

電解研磨によって、前記凹部内のみに前記配線材料膜を残すように前記絶縁膜上の前記配線材料膜を除去する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項5】 前記凹部は、配線溝、もしくは配線溝および該配線溝底部に形成された接続孔からなり、

前記配線材料膜は前記配線溝の深さの2倍以上となる膜厚に形成されることを特徴とする請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、詳しくはめっき法を用いて絶縁膜に形成した凹部に配線材料を埋め込むことで多層配線構造を形成する半導体装置の製造方法に関する。

【0002】

【従来の技術】従来のLSIの配線材料としてはアルミニウム合金が広く用いられてきた。しかしながら、LSIの微細化、高速化の要求が高まるにつれて、アルミニウム合金配線では十分な性能（高信頼性化、低抵抗化）の確保が難しくなっている。この対策として、アルミニウム合金よりもエレクトロマイグレーション耐性に優れ、かつ低抵抗である銅配線技術が注目され、すでに一部の半導体装置に導入されている。

【0003】銅配線形成では、一般に銅のドライエッチングが容易ではないため、溝配線による方法が有望視されている。溝配線は、例えば酸化シリコンからなる層間絶縁膜に予め所定の溝を形成し、その溝に配線材料を埋

め込んだ後、余剰の配線材料を例えば化学的機械研磨

（以下CMPという、CMPはChemical Mechanical Polishingの略）を用いて除去することによって、溝内に形成される。

【0004】溝配線法における配線材料の埋め込み方法としては、電解めっき法、化学的気相成長（以下CVDという、CVDはChemical Vapor Depositionの略）法、スパッタリングとリフロー法、高圧リフロー法、無電解めっき等が検討されている。成膜速度や成膜コスト、形成される金属材料の純度、密着性などの観点から、現在では電解めっき法が半導体装置の製造方法に用いられている。

【0005】電解めっき法により溝および接続孔に配線材料として銅を埋め込むプロセスの一例を以下に説明する。まず、スパッタリングによって、窒化タンタル（Ta_N）を例えば30nmの厚さに成膜する。この窒化タンタル膜は銅が酸化シリコン膜からなる層間絶縁膜に拡散するのを防止するためのバリア層として機能する。次にスパッタリングによって銅膜を例えば150nmの厚さに成膜する。この銅膜は、電解めっきによって銅を成長させる際にシード層として機能する。次いで電解めっきによって溝内に銅を成長させて埋め込む。

【0006】次いで、配線を形成するために層間絶縁膜上の余分な銅を除去する。その除去方法としては、一般的にCMPが用いられている。また、CMPに変わる方法として、電解めっき後に電解研磨によってエッチバックする方法が提案されている。電解研磨は、金属表面を特殊溶液中で陽極溶解して平滑な光沢面を形成する研磨方法である。電解研磨は、今まではアルミニウム、ステンレス鋼に関して、主にバリ取りや表面光沢化、また銅や銅合金などにはめっき前処理として用いられてきた。

【0007】

【発明が解決しようとする課題】しかしながら、電解研磨を半導体製造プロセスに導入する際、基板表面に形成されたパターンに依存して、めっき後のめっき膜には段差が生じる。例えば、図5に示すように、絶縁膜111に形成された幅が大きい領域の溝112W上では、めっき膜113が凹んで段差を生じ、幅が小さい複数の溝112Nが形成された領域上では、めっき膜113が出っ張り段差を生じる。

【0008】その段差が原因となって、図6に示すように、絶縁膜111に形成された幅が大きい領域の溝112Wでは、配線材料として残さなければならないめっき膜113まで電解研磨時に過剰研磨されるという問題が生じる。また、逆に幅が小さい複数の溝112Nが形成された領域では、その領域のフィールド領域111F上にめっき膜113が残るという問題が生じる。上記説明したように、基板上に局所段差が生じると、例えば、リソグラフィ工程での露光時にフォーカス精度が低下する、重ね合わせ精度が低下する等の問題が生じる。ま

た、配線材料となるめっき膜の残りによって、幅が小さい複数の溝112Nに形成された配線間で短絡(ショート)が発生する。

【0009】

【課題を解決するための手段】本発明は、上記課題を解決するためになされた半導体装置の製造方法である。

【0010】第1の半導体装置の製造方法は、めっき法によって、基板上に形成した絶縁膜上に、前記絶縁膜に形成した凹部を埋め込む配線材料膜を形成する工程と、前記絶縁膜上に前記配線材料膜を残した状態を保って、前記配線材料膜表面に生じている局所段差を緩和する工程と、電解研磨によって、前記凹部内のみに前記配線材料膜を残すように前記絶縁膜上の前記配線材料膜を除去する工程とを備えている。

【0011】上記第1の半導体装置の製造方法では、絶縁膜上に配線材料膜を残した状態を保って、配線材料膜表面に生じている局所段差を緩和することから、配線材料膜はその表面がほぼ平坦化された状態に形成される。その後電解研磨によって、前記凹部内のみに前記配線材料膜を残すように前記絶縁膜上の前記配線材料膜を除去することから、凹部内に配線材料膜が満たされた状態で埋め込まれる。したがって、必要な部分の配線材料膜を残しつつ不必要な部分の配線材料膜を除去することが可能となり、電解研磨プロセスを溝配線プロセスに導入することができる。また、電解研磨は、化学的機械研磨に用いる高価な消耗剤(スラリー)を使用しないために、低いランニングコストで金属配線を形成することができる。さらに、化学的機械研磨時に発生していた腐食(エロージョン)も発生しないという利点がある。

【0012】第2の半導体装置の製造方法は、めっき法によって、前記絶縁膜上に、基板上の絶縁膜に形成した凹部を埋め込む配線材料膜を、前記凹部の深さの2倍以上となる膜厚に形成する工程と、電解研磨によって、前記凹部内のみに前記配線材料膜を残すように前記絶縁膜上の前記配線材料膜を除去する工程とを備えている。

【0013】上記第2の半導体装置の製造方法では、基板上の絶縁膜に形成した凹部を埋め込む配線材料膜を、凹部の深さの2倍以上となる膜厚に形成することから、配線材料膜はその表面がほぼ平坦化された状態に形成される。そして、電解研磨によって、凹部内のみに配線材料膜を残すように絶縁膜上の配線材料膜を除去することから、凹部内に配線材料膜が満たされた状態で埋め込まれる。したがって、必要な部分の配線材料膜を残しつつ不必要な部分の配線材料膜を除去することが可能となり、電解研磨プロセスを溝配線プロセスに導入することが可能となる。また、電解研磨は、化学的機械研磨に用いる高価な消耗剤(スラリー)を使用しないために、低いランニングコストで金属配線を形成することができる。さらに、化学的機械研磨時に発生していた腐食(エロージョン)も発生しないという利点もある。

【0014】

【発明の実施の形態】本発明の第1の製造方法に係る第1の実施の形態を、図1の製造工程断面図によって説明する。

【0015】図1の(1)に示すように、基板(例えば半導体基板)11に所定の素子(図示せず)を形成した後、基板11上に絶縁膜12を形成する。次いでリソグラフィ技術により所定の位置に開口部を設けたレジスタパターン(図示せず)を形成した後、そのレジスタパターンをエッチングマスクに用いて、絶縁膜12に、配線を埋め込むための凹部(以下、溝として説明する)13を、例えば0.5μmの深さに形成する。溝13は、いわゆるファインパターンで形成されている複数の溝13Nと、例えば溝幅が0.50μm~5μmの幅の広い溝13Wとで構成されている。また、1辺が70μm~300μmのパッド(図示せず)も構成されている。上記溝13Nは、例えば溝幅が0.15μm~0.50μmの幅の狭い複数の溝13Nが、例えば0.15μm~0.50μm間隔で配列されている。

【0016】次に、図1の(2)に示すように、例えばCVD法によって、上記凹部(以下、溝として説明する)13の内面および上記絶縁膜12上にバリア層14を例えば窒化タングステン膜で形成する。この窒化タングステン膜の成膜条件の一例としては、原料ガスに六フッ化タングステン(WF₆)と窒素(N₂)と水素(H₂)との混合ガスを用い、その流量を0.25ml/min、成膜温度を300℃~400℃の範囲に設定した。

【0017】続いて、例えばPVD(Physical Vapor Deposition)法(例えばスパッタリング)によって、電解めっきのシード層15を銅膜で形成する。この銅膜の成膜条件の一例としては、スパッタリング装置のDCパワーを12kW、プロセスガスにアルゴン(Ar)を用い、その流量を50cm³/min、成膜雰囲気圧力を0.2Pa、成膜温度を100℃に設定した。

【0018】なお、図1の(2)以下の図面では半導体基板11の図示は省略した。

【0019】次に、図1の(3)に示すように、電解めっきによって、銅を例えば1.0μmの厚さに堆積して、上記溝13を完全に埋め込む銅からなる配線材料膜16を形成する。以下、シード層15〔前記図1の(2)参照〕も含めて配線材料膜16とする。このとき、溝13の領域では、溝13の深さよりも厚く配線材料膜16を形成することが必要となる。上記配線材料膜16は、溝13の開口幅の違いによって、いわゆるファインパターンで溝13Nが形成された領域では膜厚が厚くなり、幅の広い溝13Wでは、膜厚がフィールド部分12F上に堆積された配線材料膜16表面よりも低くなる。このように、堆積された配線材料膜16には局所段差Sが生じる。

【0020】上記電解めっき条件の一例としては、めっき液に硫酸銅系銅電解めっき液を用い、めっき電流値を2.83A、めっき時間を1 μ m成膜するのに4分30秒、めっき液の温度を18℃に設定した。

【0021】図1の(4)に示すように、CMPによって、絶縁膜12のフィールド部分12F上に上記配線材料膜16を残した状態を保って配線材料膜16を研磨し、電解めっきによって生じた配線材料膜16の局所段差S〔前記図の(3)参照〕を解消するように研磨する。この研磨は、化学的機械研磨、化学研磨もしくは機械研磨によって行う。

【0022】上記研磨を例えば化学的機械研磨で行う場合には、研磨パッドに不織布と独立発泡体と積層した構造の研磨パッドを用い、研磨定盤の回転速度を30rpm、研磨ヘッドの回転速度を30rpm、スラリーに過酸化水素水を添加したアルミナスラリーを用い、研磨液の供給流量を100cc/min、研磨液温度を25℃～30℃に設定した。

【0023】次に、図1の(5)に示すように、電解研磨によって、配線材料膜16を研磨して、絶縁膜12のフィールド部分12F上の配線材料膜16を除去し、溝13内のみに配線材料膜16を残す。上記電解研磨では、フィールド部分12F上に配線材料膜16が無くなると、銅よりも電気伝導度が低いバリア層14に電流が流れるため、フィールド部分12F上に配線材料膜16が残っている場合にはその残っている配線材料膜16の電気伝導度がその周囲よりも高くなって、電解研磨されやすくなる。したがって、フィールド部分12F上の配線材料膜16は完全にかつばば均一に除去される。

【0024】上記電解研磨条件の一例としては、研磨液にリン酸(比重1.6)を用い、電流密度を5A/dm²～20A/dm²、研磨液温度を15℃～25℃に設定した。

【0025】なお、電解研磨を行うに際し、被研磨部材に電極(図示せず)を接触させるため、その接触部分には配線材料膜16が残ることになる。そこで、フッ酸と過酸化水素との混合水溶液を用いたウエットエッチングによって、上記残った配線材料膜16を除去する。

【0026】次に、図1の(6)に示すように、例えば過酸化水素水を用いたスピン洗浄によって、上記配線材料膜16の除去によって露出されたバリア層14を除去する。このようにして、溝13にバリア層14を介して配線材料膜16を埋め込んでなる溝配線17が形成される。

【0027】上記窒化タングステンからなる5A/dm²～バリア層14の除去条件の一例としては、リンス液に過酸化水素水を用い、リンス時間を1分～3分、リンス液温度を15℃～40℃に設定した。

【0028】さらに上層配線を形成する場合には、例えば、プラズマCVD法によって、上記図1によって説明

した処理を行った基板表面を窒化シリコン膜で被覆した後、上記図1によって説明したプロセスと同様のプロセスを行って上層配線を形成すればよい。

【0029】上記図1の(4)によって説明した局所段差Sを解消する研磨によって、図2の(1)に示すように、幅が広い溝13Wに埋め込まれた配線材料膜16に生じた局所段差Sが研磨前の局所段差を0.5 μ m以下に低減した程度に留まったとしても、その後の電解研磨では、ファインパターン領域に配線材料膜16の研磨残りを生じることなく、また、幅が広い溝13Wに埋め込まれた配線材料膜16に窪みを生じることなく、配線材料膜16を研磨することができる。

【0030】また、上記図1の(4)によって説明した局所段差を解消する研磨によって、図2の(2)に示すように、ファインパターンの溝13N上の局所段差S1と幅が広い溝13Wの局所段差S2とを合わせた段差Stが研磨前の段差を0.5 μ m以下に低減した程度に留まったとしても、その後の電解研磨では、ファインパターン領域に配線材料膜16の研磨残りを生じることなく、また、幅が広い溝13に埋め込まれた配線材料膜16に窪みを生じることなく、配線材料膜16を研磨することができる。すなわち、局所段差を解消する研磨では、局所段差が0.5 μ m以下になるように研磨を行えばよい。

【0031】上記第1の実施の形態に係る半導体装置の製造方法では、絶縁膜12上に配線材料膜16を残した状態を保って、配線材料膜16表面に生じている局所段差Sを緩和することから、配線材料膜16はその表面がほぼ平坦化された状態に形成される。その後電解研磨によって、凹部(溝13)内のみに配線材料膜16を残すように絶縁膜12上の配線材料膜16を除去することから、溝13内に配線材料膜16が満たされた状態で埋め込まれる。したがって、必要な部分の配線材料膜16を残しつつ不必要な部分の配線材料膜16を除去することが可能となり、電解研磨プロセスを溝配線プロセスに導入することができる。また、電解研磨は、化学的機械研磨に用いる高価な消耗剤(スラリー)を使用しないために、低いランニングコストで金属配線を形成することができる。さらに、化学的機械研磨時に発生していた腐食(エロージョン)も発生しないという利点がある。

【0032】次に、本発明の半導体装置の製造方法に係る第2の実施の形態を以下に説明する。この第2の実施の形態は、前記第1の実施の形態において、電解めっきによって生じた配線材料膜16の局所段差Sを解消する研磨を、化学研磨を用いて行った製造方法である。上記研磨工程以外の全ての工程は前記第1の実施の形態で説明したプロセスと同様である。

【0033】化学研磨は、研磨液に浸漬するだけでもよいが、めっき面上を高速で流体を流すことで拡散層厚さを薄くし、出っ張り部分をより早くエッチングする方法

を採ることで、硬化的に配線材料膜の平坦化を行うことが可能になる。

【0034】上記化学研磨においも、次工程の電解研磨を効果的に行うために、電解めっきにより生成した銅膜を完全に除去しないように、フィールド部分上に残すようにする。

【0035】また、配線材料膜面上の化学研磨液を高速で移動させる方法としては、図3の(1)に示すように、例えば矢印方向に高速回転が可能なスピンドル51に基板(ウエハ)11を保持した状態で、上記スピンドル51を矢印方向に高速で回転させながら基板11上に化学研磨液52を滴下する方法がある。または、図3の(2)に示すように、基板(ウエハ)11上に例えば3mm以下の隙間Wが確保される平板61を設け、基板11の中心部上の上記平板61に供給部62を設ける。そして、上記供給部62から上記平板61と基板11との間の隙間Wに化学研磨液63を高圧力で供給することで、基板11面上における化学研磨液63の流速を早めることが可能になる。

【0036】次に上記化学研磨に用いることができる化学研磨液の一例を以下に説明する。一つには、リン酸系の化学研磨液がある。このリン酸系の化学研磨液は、リン酸が550ml/l、硝酸が200ml/l、氷酢酸が50ml/l、塩酸が5ml/lからなる混合液であって、液温度は55℃～80℃、研磨時間は1分～3分とする。また一つには、硝酸系の化学研磨液であるキリンズ液がある。このキリンズ液は、硝酸が200ml/l、硫酸が400ml/l、塩酸が2ml/l水が300ml/lからなる混合液であって、液温度は20℃～80℃、研磨時間は30秒～2分とする。このキリンズ液は、一般にエッチング速度が速いという特徴を有する。また、亜硝酸ガスを発生するため使用に際しては注意が必要となる。

【0037】次に、本発明の半導体装置の製造方法に係る第3の実施の形態を以下に説明する。この第3の実施の形態は、前記第1の実施の形態において、電解めっきによって生じた配線材料膜16の局所段差Sを解消する研磨を機械研磨によって行う製造方法である。機械研磨としては、研磨砥粒に#10000～#20000の例えば、酸化セリウム、ダイヤモンド、アルミナ、シリカ等を用い、研磨液に例えば、純水、過酸化水素水、エタノール、イソプロピルアルコール等を用いた。上記研磨工程以外の全ての工程は前記第1の実施の形態で説明したプロセスと同様である。

【0038】なお、めっき後の基板に研磨液を滴下しながらバフ研磨を行って凹凸を小さくすることでも上記機械研磨と同様の効果が得られる。

【0039】本発明の第2の製造方法に係る第1の実施の形態を、図4の製造工程断面図によって説明する。

【0040】図4の(1)に示すように、基板(例えば

半導体基板)11に所定の素子(図示せず)を形成した後、基板11上に絶縁膜12を形成する。次いでリソグラフィ技術により所定の位置に開口部を設けたレジスタパターン(図示せず)を形成した後、そのレジスタパターンをエッチングマスクに用いて、絶縁膜12に、配線を埋め込むための凹部(以下、溝として説明する)13を、例えば0.5μmの深さに形成する。溝13は、いわゆるファインパターンで形成されている複数の溝13Nと、例えば溝幅が0.50μm～5μmの幅の広い溝13Wとで構成されている。上記溝13Nは、例えば溝幅が0.15μm～0.50μmの幅の狭い複数の溝13Nが、例えば0.15μm～0.50μm間隔で配列されている。

【0041】次に、図4の(2)に示すように、例えばCVD法によって、上記凹部(以下、溝として説明する)13の内面および上記絶縁膜12上にバリア層14を例えば窒化タングステン膜で形成する。この窒化タングステン膜の成膜条件の一例としては、原料ガスに六フッ化タングステン(WF₆)と窒素(N₂)と水素(H₂)との混合ガスを用い、その流量を0.25ml/min、成膜温度を300℃～400℃の範囲に設定した。

【0042】続いて、例えばPVD(Physical Vapor Deposition)法(例えばスパッタリング)によって、電解めっきのシード層15を銅膜で形成する。この銅膜の成膜条件の一例としては、スパッタリング装置のDCパワーを12kW、プロセスガスにアルゴン(Ar)を用い、その流量を50cm³/min、成膜雰囲気圧力を0.2Pa、成膜温度を100℃に設定した。

【0043】なお、図4の(2)以下の図面では半導体基板11の図示は省略した。

【0044】次に、図4の(3)に示すように、電解めっきによって、銅を例えば1.5μmの厚さに堆積して、上記溝13を完全に埋め込む銅からなる配線材料膜16を形成する。以下、シード層15[前記図2の(2)参照]も含めて配線材料膜16とする。このとき、溝13の領域では、溝13の深さの2倍以上の厚さに配線材料膜16を形成することが必要となる。上記配線材料膜16は、溝13の開口幅の違いによって、いわゆるファインパターンで溝13が形成された領域、すなわち、複数の溝13Nが形成された領域では膜厚が厚くなり、幅の広い溝13Wでは、膜厚がフィールド部分に堆積された配線材料膜16F表面よりも低くなる。このように、堆積された配線材料膜16には局所段差Sが生じる。しかしながら、溝13の深さに対して2倍以上の厚さに配線材料膜16が形成されているため、局所段差Sは0.5μm以下となっている。

【0045】上記電解めっき条件の一例としては、めっき液に硫酸銅系銅電解めっき液を用い、めっき電流値を2.83A、めっき時間を1.5μm成膜するのに6分

40秒、めっき液の温度を18℃に設定した。

【0046】次に、図4の(4)に示すように、電解研磨によって、配線材料膜16を研磨して、絶縁膜12のフィールド部分12F上の配線材料膜16を除去し、溝13内のみに配線材料膜16を残す。上記電解研磨では、フィールド部分12F上に配線材料膜16が無くなると、銅よりも電気伝導度が低いバリア層14に電流が流れるため、フィールド部分12F上に配線材料膜16が残っている場合にはその残っている配線材料膜16の電気伝導度がその周囲よりも高くなって、電解研磨されやすくなる。したがって、フィールド上の配線材料膜16は完全にかつばば均一に除去される。

【0047】上記電解研磨条件の一例としては、研磨液にリン酸(比重1.6)を用い、電流密度を5A/dm²~20A/dm²、研磨時間を2分~5分、研磨液温度を15℃~25℃に設定した。

【0048】なお、電解研磨を行うに際し、被研磨部材に電極(図示せず)を接触させるため、その接触部分には配線材料膜16が残ることになる。そこで、フッ酸と過酸化水素との混合水溶液を用いたウェットエッチングによって、上記残った配線材料膜16を除去することができる。

【0049】次に、図2の(5)に示すように、例えば過酸化水素水を用いたスピン洗浄によって、上記配線材料膜16の除去によって露出されたバリア層14を除去する。このようにして、溝13にバリア層14を介して配線材料膜16を埋め込んでなる溝配線17が形成される。

【0050】上記窒化タングステンからなる5A/dm²~バリア層14の除去条件の一例としては、リンス液に過酸化水素水を用い、リンス時間を1分~3分、リンス液温度を15℃~40℃に設定した。

【0051】さらに上層配線を形成する場合には、例えば、プラズマCVD法によって、上記図1によって説明した処理を行った基板表面を窒化シリコン膜で被覆した後、上記図1によって説明したプロセスと同様のプロセスを行って上層配線を形成すればよい。

【0052】また、上記図2の(3)によって説明した配線材料膜16の成膜によって、局所段差が0.5μm程度生じたとしても、その後の電解研磨では、ファインパターン領域に配線材料膜16の研磨残りを生じることなく、また、幅が広い溝13Wに埋め込まれた配線材料膜16に窪みを生じることなく、配線材料膜16を研磨することができる。

【0053】上記第2の発明の製造方法に係る実施の形態では、基板1.1上の絶縁膜12に形成した凹部(溝)13を埋め込む配線材料膜16を、溝13の深さの2倍以上となる膜厚に形成することから、配線材料膜16はその表面がほぼ平坦化された状態に形成される。そして、電解研磨によって、溝13内のみに配線材料膜16を残

すように絶縁膜12上の配線材料膜16を除去することから、溝13内に配線材料膜16が満たされた状態で埋め込まれる。したがって、必要な部分の配線材料膜16を残しつつ不必要な部分(フィールド部分12F上)の配線材料膜16を除去することが可能となり、電解研磨プロセスを溝配線プロセスに導入することが可能となる。また、電解研磨は、化学的機械研磨に用いる高価な消耗剤(スラリー)を使用しないために、低いランニングコストで金属配線を形成することができる。さらに、化学的機械研磨時に発生していた腐食(エロージョン)も発生しないという利点もある。

【0054】

【発明の効果】以上、説明したように本発明の第1の半導体装置の製造方法によれば、電解めっき後に行う電解研磨工程において、必要な部分の配線材料膜を残しつつ不必要な部分の配線材料膜を除去することが可能となり、電解研磨プロセスを溝配線プロセスに導入することができる。電解研磨は、化学的機械研磨に用いる高価な消耗剤(スラリー)を使用しないために、低いランニングコストで金属配線を形成することができる。また、化学的機械研磨時に発生する腐食(エロージョン)も発生しない。

【0055】第2の半導体装置の製造方法によれば、凹部を埋め込む配線材料膜を、凹部の深さの2倍以上となる膜厚に形成するので、配線材料膜はその表面がほぼ平坦化された状態に形成することができる。それを電解研磨によって、凹部内のみに配線材料膜を残すように絶縁膜上の配線材料膜を除去するので、必要な部分の配線材料膜を残しつつ不必要な部分の配線材料膜を除去することが可能となり、電解研磨プロセスを溝配線プロセスに導入することが可能となる。また、電解研磨は、化学的機械研磨に用いる高価な消耗剤(スラリー)を使用しないために、低いランニングコストで金属配線を形成することができる。さらに、化学的機械研磨時に発生していた腐食(エロージョン)も発生しないという利点もある。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法に係る実施の形態を示す製造工程断面図である。

【図2】局所段差を解消する研磨方法を説明する製造工程断面図である。

【図3】化学研磨液を高速で移動させる方法を示す図である。

【図4】本発明の半導体装置の製造方法に係る別の実施の形態を示す製造工程断面図である。

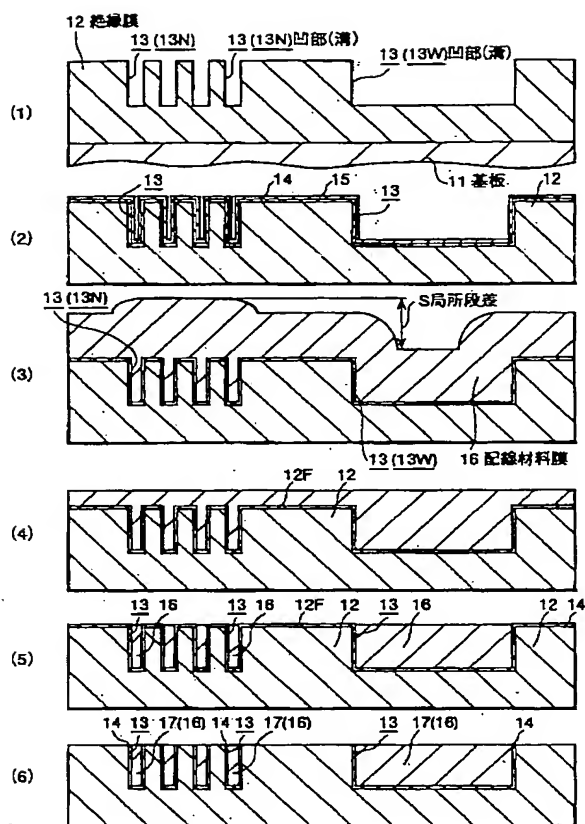
【図5】課題を説明する概略構成断面図である。

【図6】課題を説明する概略構成断面図である。

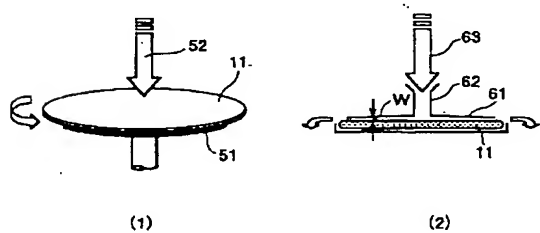
【符号の説明】

1.1…基板、1.2…絶縁膜、1.3…凹部(溝)、1.6…配線材料膜、S…局所段差

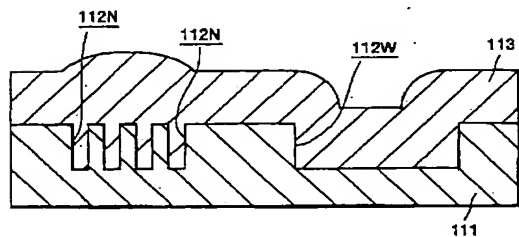
【図1】



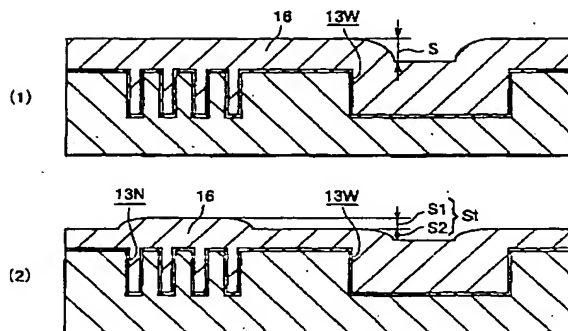
【図3】



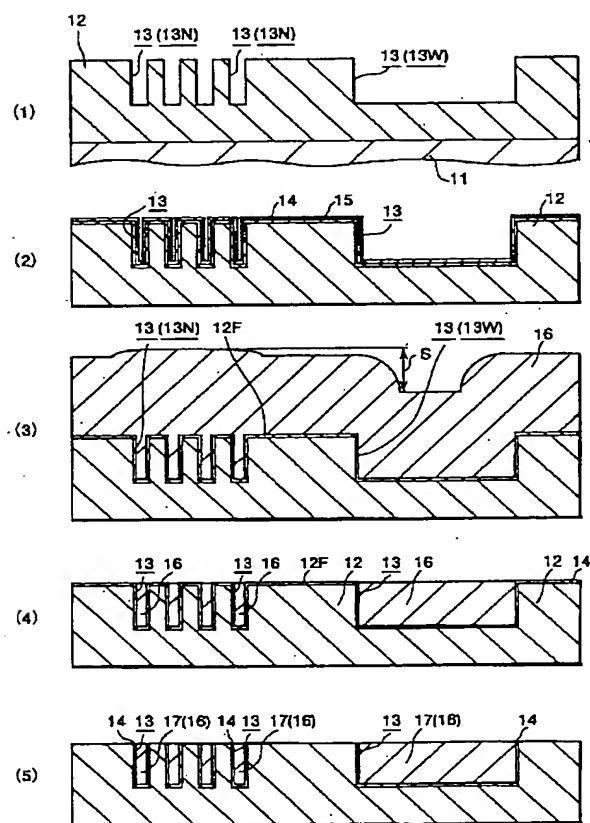
【図5】



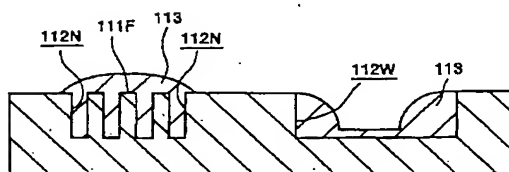
【図2】



【図4】



【図6】



フロントページの続き

(72)発明者 鬼頭 英至
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(72)発明者 田口 充
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72)発明者 安藤 勝己
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
Fターム(参考) 5F033 HH11 HH34 MM01 MM12 PP06
PP15 PP27 QQ08 QQ09 QQ19
QQ37 QQ46 QQ47 QQ48 RR06
SS15 XX01 XX34
5F043 AA26 BB18 DD07 DD16 FF01
FF07 GG03

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**

THIS PAGE BLANK (USPTO)